

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-188419

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵
H 01 L 29/784

識別記号 庁内整理番号
9056-4M

F I
H 01 L 29/ 78

技術表示箇所
3 1 1 G

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号 特願平4-335720

(22)出願日 平成4年(1992)12月16日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 松岡 富造
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 竹田 守
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 小林 郁典
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 小鍛治 明 (外2名)

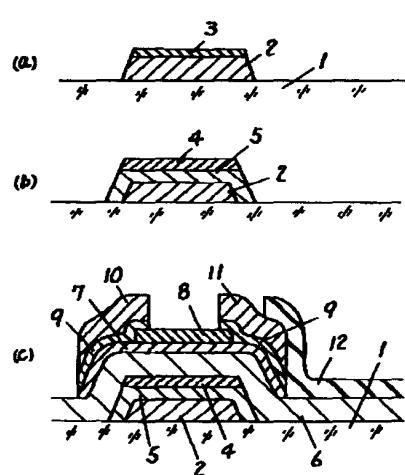
(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 本発明は、下層配線と上層配線間の短絡を効果的に防止した多層配線を持つ薄膜トランジスタを得る製造法を提供する。

【構成】 アルミニウム系の金属薄膜の上に、他の陽極酸化可能な金属を積層し、陽極酸化可能な金属の全部とアルミニウム系の金属薄膜の表面の一部を陽極酸化して、薄膜トランジスタのゲート電極とゲート絶縁体層の一部分を構成する。

- | | |
|-------------|---------------------------|
| 1 基板ガラス | 7 アモルファスシリコン |
| 2 アルミニウムゲート | 半導体薄膜 |
| 電極薄膜 | エッキングストッパー |
| 3 タンタル金属薄膜 | 窒化シリコン薄膜 |
| 4 陽極化タンタル | n ⁺ アモルファスシリコン |
| 陽極酸化膜 | 半導体薄膜 |
| 5 陽極化アルミニウム | 10 ナンソース電極 |
| 陽極酸化膜 | 11 チタンドレーン電極 |
| 6 窒化シリコン薄膜 | 12 ITO透明電極 |



1

【特許請求の範囲】

【請求項1】透光性絶縁基板上に、導電材料を選択的に被着形成した第一の導電層と、前記基板表面の露出面及び前記第一の導電層を覆う絶縁体層と、前記絶縁体層上の特定領域を覆う半導体層と、前記半導体層と一部重なり合う一対の第二の導電層と、前記第二の一対の導電層の一方と電気的に接触する透明導電層から少なくともなる薄膜トランジスタの製造において、まずアルミニウム系の金属薄膜とその上にアルミニウム系以外の陽極酸化可能な金属薄膜を積層した2層膜を形成し、陽極酸化可能な金属薄膜の全部とアルミニウム系薄膜の一部を陽極酸化して、前記第一の導電層と前記絶縁体層の一部を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2】陽極酸化可能な金属薄膜がTa、Ti、Zr、Nb、W、およびMoから選ばれた1種であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】アルミニウム系の金属薄膜が純粋なAl、少量のSiを含んだAlのいずれかであることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項4】陽極酸化可能な金属薄膜の厚さが30~100nmであることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、カラー液晶表示装置等に応用される薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】一般に、薄膜トランジスタ等の素子を形成した半導体装置は二層以上の多層配線を行うことが多い。特にスイッチング用トランジスタをマトリックス状に設けたアクティブマトリックス型液晶表示装置の場合には、X方向及びY方向の配線が必須となり、しかも大画面を得るために信号遅延を少なくするために可能な限り低抵抗の配線が必要とされる。信号遅延を少なくするため第一の導電層、すなわち下層の配線やゲート電極にアルミニウムが用いられる。更に第二の導電層、すなわち上層の配線やソース・ドレーン電極と第一の導電層を電気的に絶縁するため、およびゲート絶縁体を形成するため下層の配線やゲート電極上に絶縁層を何らかの手段で積層する。次に半導体層を形成してゲート電極上の特定領域に加工した後、第二の導電層を形成して薄膜トランジスタのマトリックスを完成する。

【0003】

【発明が解決しようとする課題】従来の技術の項で説明した薄膜トランジスタのマトリックスにおいては、第一の導電層（下層配線とゲート電極）と第二の導電層（上層配線とソース・ドレーン電極）の間で短絡するという問題が今まで一番大きな課題であった。特に、ゲート電極や下層配線としてAl金属を用いた場合、その

2

加熱工程、たとえば電極や配線パターン形成のフォトリソ工程でレジスト塗布前に、約160°C、5分のデハイドレーションを行うことによって、Al薄膜にヒロックと呼ばれる突起が発生する。

【0004】このヒロックは更に絶縁体層、半導体層、第二の導電層、すなわちソース・ドレーン電極や上層配線を形成して最終的に薄膜トランジスタのマトリックスを作成し駆動した時、上層と下層配線間ショート不良の原因になる。ヒロックが絶縁体層の膜厚均一性を損ね、局部的な電界集中によってショート不良を引き起こすと考えられる。これに対処するために、Alに少量のTaやTiを添加したゲート電極が検討されているが、これらはヒロックに対して効果はあるものの、電気抵抗が純粋なAlの約5倍と高くなり、ゲート信号遅延の観点から好ましくない。従って、純粋なAlと同程度の低い電気抵抗を持ち、かつヒロックのない下層配線やゲート電極を作成する方法が望まれている。

【0005】本発明はかかる点に鑑み、多層配線間の短絡を防止し、歩留まりの高い信頼性に優れた薄膜トランジスタを得るため、第一の導電層に対してヒロック発生を効果的に抑制する製造方法を提供するものである。

【0006】

【課題を解決するための手段】薄膜トランジスタの第一の導電層、すなわち下層配線やゲート電極を、まず低抵抗のアルミニウム系金属で形成し、続いてアルミニウム系金属のヒロック発生を防ぐために他の陽極酸化可能な金属を積層した。下層配線やゲート電極のパターンをエッティング加工により形成した後、その表面を陽極酸化して陽極酸化可能な金属全部とアルミニウム系金属の一部を絶縁体層に変換した。したがって、この段階で下層配線とゲート電極の上に酸化アルミニウムと他の陽極酸化可能な金属の酸化物薄膜が形成された積層構造ができる。更に、一般に行われているように塗化珪素薄膜を積層してゲート絶縁体層を完成する。結局薄膜トランジスタのゲート絶縁体層は酸化アルミニウム、陽極酸化可能な金属の酸化物および塗化珪素の3層膜となり、かつ下地のゲート電極にヒロックがないので、従来の2層膜で下地にヒロックが発生している場合と比較して欠陥やピンホールの少ない絶縁体層が形成され、下層配線、ゲート電極と上層配線、ソース・ドレーン電極との間の短絡不良、すなわち一般にゲート・ソース短絡を効果的に防止できる。

【0007】

【作用】本発明の薄膜トランジスタの製造方法によれば、ヒロックのない低抵抗の下層配線やゲート電極と、欠陥のない絶縁性に優れたゲート絶縁体層を形成できるので、大型高精細度の薄膜トランジスタのマトリックスの製造に適し、同時に下層配線、ゲート電極と上層配線、ソース・ドレーン電極との間の短絡を防止できる。たとえば、大型液晶表示パネルに応用して薄膜トランジスタ

一アレイのゲート・ソース短絡を効果的に防止でき、高い歩留まりで信頼性の高いパネルを製造することができる。

【0008】

【実施例】(実施例1) (図1)は本発明の製造法による液晶ディスプレイ等に応用される透光性基板上の薄膜トランジスタの断面図と製造過程を示したもので、この図を中心に用いて説明する。

【0009】(図1(a))に示したように、基板1上に純粋なアルミニウム(A1)金属、または熱やストレス等によるマイグレーションやヒロックを防止させるため不純物として、例えばシリコンを0.5~2%程度含んだアルミニウム金属2を200nmの膜厚に、スパッタ法を用いて全面に形成した。さらにその上にタンタル(Ta)金属3を30nmの厚さに積層して、そして通常のドライエッチング法を用いて、所望のゲート電極パターンを形成した。

【0010】一般に、純粋なアルミニウムではフォトリソ工程のデハイドレーションで160°C程度に加熱されると、薄膜表面にヒロックと呼ばれる突起が発生する。上記のように、アルミニウムに少量のシリコン(Si)を添加すると、ヒロックの発生はかなり軽減されるものの、完全ではない。Siの代わりに少量のTaを添加しても同様である。

【0011】しかし、上記のようにアルミニウム薄膜の上にさらに重金属のTaを30nmの厚さ以上に積層すると、ヒロックの発生が効果的に抑制されることを見いたした。この効果は他の重金属、Ti、Zr、Nb、W、およびMoによっても実現できた。これらの金属は、さらに後の工程でゲート絶縁膜の一部を陽極酸化法によって形成する必要があるため、陽極酸化可能な金属から選ばれた。

【0012】つぎに、(図1(b))に示すようにTa金属の全部とA1金属の一部を陽極酸化してゲート絶縁体とした。陽極酸化は化成液として酒石酸を1%含む水溶液とエチレンギリコールを容量比で3:7に混合し、かつアンモニア水でpH7に調節した液を用いた。30nmの厚さのTa金属は陽極酸化することによって、厚さが増加し75nmの酸化タンタル絶縁体4になる。化成電圧をコントロールして、アルミニウム金属まで化成を行い、アルミニウム金属表面に厚さ100nmの酸化アルミニウム絶縁体5を形成した。結局、ゲートアルミニウム金属の上に酸化アルミニウムと酸化タンタルの積層膜からなるゲート絶縁体を陽極酸化法により形成した。

【0013】次に、(図1(c))に示すように、プラズマCVD法により225nmの厚さの塗化シリコン(SiNx)薄膜6と半導体活性層となるアモルファスシリコン(a-Si)7とエッチングストップとなる塗化シリコン(SiNx)8を連続堆積し、エッチングス

トッパのSiNxを島状に加工した。最終的にゲート絶縁層は酸化アルミニウム100nm、酸化タンタル75nm、および塗化シリコン225nmの3層膜で構成され、その全体の厚さを400nmとした。

【0014】そして、(図1(c))に示すようにa-Siと金属とのオーミック接触を確保するため、n型不純物としてリンをドープしたアモルファスシリコン(n+-a-Si)9及びソース・ドレーンとなる金属薄膜として例えばチタン(Ti)を堆積した。

【0015】そして、図示はしないがゲート電極を取り出すための開口部を設けた後、ソース・ドレーンのリストバーンとエッチングストップのSiNxをマスクとしてTi、n+-a-Si、a-Siを一括エッチングして、(図1(c))に示すようにソース電極10とドレーン電極11を形成した。最後に、(図1(c))に示すように透明電極12として例えばインジウム・スズ酸化物(ITO)をドレイン電極に電気的に接觸するよう選択的に被着形成して薄膜トランジスタを完成した。

【0016】尚、本実施例では、ソース・ドレイン電極材料としてTiを用いたが、ソース・ドレイン電極材料としてはモリブデンシリサイドのような金属珪化物、あるいはアルミニウム、クロム、モリブデン、タンタル、ニッケル、ニッケルクロム合金などのような金属材料を用いることも可能である。

【0017】透明電極形成には、透明電極形成工程は必ずしも薄膜トランジスタ製造工程の最後である必要はなく、初期の工程で形成し、絶縁層に開口部を設けてドレイン電極と電気的に接觸させてもよい。

【0018】以上のようにして作成した薄膜トランジスタ737万個(640×480個からなるトランジスタアレイを24枚作成)のゲート・ソース短絡の欠陥を調べた。比較のために、ゲート絶縁層として今までよく使われてきた200nmの厚さの酸化アルミニウム陽極酸化膜と200nmの塗化シリコン膜の2層膜を用いた薄膜トランジスタも同数作成した。

【0019】これら2種類の薄膜トランジスタでゲート・ソース間短絡の数を相対的に比較した結果、200nmの酸化アルミニウム陽極酸化膜と200nmの塗化シリコンの2層膜ゲート絶縁層の場合を100とすると、本発明の製造法による上記100nmの酸化アルミニウム陽極酸化膜と75nmの酸化タンタル陽極酸化膜および225nmの塗化シリコンの3層膜でゲート絶縁体層を構成した薄膜トランジスタアレイは20の割合であった。また、本発明の方法でアルミニウム金属にシリコンを1%添加した薄膜トランジスタアレイは13の割合であった。

【0020】この結果から明かのように本発明の製造法を用いて作成した薄膜トランジスタアレイはゲート・ソース短絡の欠陥を従来より1/5ないし1/7に低減することが出来た。この欠陥低減は主にアルミニウム系下

層配線およびゲート電極パターンに発生する熱によるヒロックを、本発明による製造方法によって低減したためである。またゲート絶縁体層が3層で従来よりも多い多層膜からなっていることも、多層の積層効果に基づいて絶縁体層のビンホールや欠陥の低減に寄与していると考えられる。

【0021】(実施例2) 実施例1とほとんど同様に薄膜トランジスタを作成し比較した。ただし、実施例1の場合とは異なり、アルミニウム金属の上にTa金属を100nmの厚さに積層した。下層配線とゲート電極パターンをドライエッチング法で形成した後、Ta金属全部と、更にアルミニウム表面まで陽極酸化して、アルミニウム下層配線とゲート電極の上に100nmの厚さの酸化アルミニウム陽極酸化膜と250nmの酸化タンタル陽極酸化膜を積層した。100nmのTa金属は250nmの酸化タンタルに陽極酸化によって変換される。

【0022】さらに実施例1と同じプラズマCVD法で塗化シリコン膜を50nmを積層して、全体として実施例1と同じ厚さ400nmのゲート絶縁体層を形成した。以下、実施例1と同様にして薄膜トランジスタアレイを完成し、実施例1と同じ従来の薄膜トランジスタアレイと比較した。

【0023】その結果、ゲート・ソース短絡の割合は従来100に対して10の割合であった。実施例1のTa金属の厚さが30nmの場合より、その厚さが100nmの実施例2の方がゲート・ソース短絡に対して効果的であるが、一般によく設計され用いられるゲート絶縁体層の厚さ400nmにたいして、半導体層に接する塗化シリコンの膜厚は、少なくとも50nmは必要であるのでTaの膜厚は100nm以下にした方がよい。

【0024】(実施例3) 実施例1とほとんど同じ方法でTa金属を他の陽極酸化可能なTi、Zr、Nb、W、およびMoに置き換えて、薄膜トランジスタアレイを作成した。それらの金属の膜厚をすべて50nmとし、陽極酸化して100nmの酸化チタン、100nmの酸化ジルコニウム、125nmの酸化ニオブ、150nmの酸化タンクステンおよび酸化モリブデンに変換し

た。前もって50nmの上記金属をアルミニウム金属に積層することによって、アルミニウム金属の熱によるヒロック発生がTa同様に抑えられることを確認している。

【0025】陽極酸化した後、酸化アルミニウム陽極酸化膜100nmを含む3層からなるゲート絶縁体層の全體の厚さが400nmになるように塗化シリコン膜を積層し、以下、実施例1と同様に薄膜トランジスタを作成して、実施例1と同じ従来例とゲート・ソース短絡の割合を比較した。その結果、いずれにおいても従来100に対し35以下の割合であった。

【0026】

【発明の効果】以上説明したように、本発明の製造方法によれば下層配線とゲート電極膜のヒロック発生を抑制し、かつ3層積層膜からなるゲート絶縁体層を用いているので、ゲート・ソース短絡欠陥を効果的に防止した薄膜トランジスタを得ることができる。さらに一般に、本発明の絶縁体薄膜を用いて、多層配線を有する半導体装置の下層配線と上層配線の短絡を防止し、歩留まりの高い信頼性に優れた半導体装置を製造できる。

【図面の簡単な説明】

【図1】本発明における逆スタガ型の薄膜トランジスタの製造工程を示す断面図

【符号の説明】

- 1 基板ガラス
- 2 アルミニウムゲート電極薄膜
- 3 タンタル金属薄膜
- 4 酸化タンタル陽極酸化膜
- 5 酸化アルミニウム陽極酸化膜
- 6 塗化シリコン薄膜
- 7 アモルファスシリコン半導体薄膜
- 8 エッティングストッパー塗化シリコン薄膜
- 9 n⁺アモルファスシリコン半導体薄膜
- 10 チタンソース電極
- 11 チタンドレーン電極
- 12 ITO透明電極

【図1】

1 基板ガラス	7 アモルファスシリコン
2 アルミニウムゲート電極薄膜	8 エッチングストッパー
3 タンタル金属薄膜	9 穴アモルファスシリコン
4 酸化タンタル 陽極酸化膜	10 チタンソース電極
5 酸化アルミニウム 陽極酸化膜	11 チタンドレーン電極
6 窒化シリコン薄膜	12 ITO透明電極

